

Translation of Citation 2

Patent Kokai Publication 69166/1994

Date of Publication: March 11, 1994

Applicant: Matsushita Electric Industrial Co., Ltd.

Title of the Invention: Method for forming contact hole

Examples

As shown in Fig. 2, MOSFET 3 and oxide membrane 2b (0.4 micron meter thick) for separation of element were formed on silicon substrate 1. Circuit layer 4 (0.6 micron meter wide and 0.3 micron meter thick), undoped insulating layer 5 (200 nm thick), which was formed by CVD method, comprised of silicon oxide and was formed on oxide membrane 2b. Flattened insulating layer 6 (700 nm thick), which was formed by CVD method, comprised of phosphorus and boron-doped silicon oxide was formed on insulating layer 5. Photoresist layer 13 having contact hole 12a and contact hole 12b was formed on insulating layer 6. MOSFET 3 is formed of gate insulating membrane 9 (0.6 micron meter wide and 0.02 micron meter thick), gate electrode 10 (0.4 micron meter thick), side protective membrane 11 (0.02 micron meter) for gate electrode, top protective membrane 15 (140 nm thick) for gate electrode and diffusion layer 8 (1 micron meter wide). Circuit layer 4 was covered by top protective membrane, which is composed of silicon oxide and which was formed by CVD method, for circuit layer and side protective membrane 17 for circuit layer. Protective layer 16 has the same etching rate as insulating layer 5. Thickness of insulating layer 6 in first contact hole 12a is 1000 nm. Thickness of insulating layer 6 in second contact hole 12b is 300 nm.

As shown in Fig. 2(b), first etching process was carried out after insulating layer was exposed in second contact hole

12b. When insulating layer 5 was exposed in first contact hole 12a, discharge was discontinued. In the first etching process, insulating layer 5 was etched by 140 nm in second contact hole 12b. Thereafter, etching started under second etching conditions.

As shown in Fig. 2 (c), the second etching process was conducted, until diffusion layer 8 and circuit layer 4 were exposed in first contact hole 12a and second contact hole 12b, respectively. The membrane which was etched by the second etching process was insulating layer 5 (200 nm thick) and the membrane to be etched by the second etching process was insulating layer 5 (200 nm thick) in first contact hole 12a and insulating layer (60 nm thick) and protective membrane 16 (140 nm thick) in second contact hole 12b. Since insulting layer 5 and protective membrane 16 are composed of the same material, they are etched at the same etching rate under the second etching conditions. Therefore, diffusion layer 8 in first contact hole 12a and circuit layer 4 was simultaneously exposed. In this case, apparent selection rate of flattened insulating layer 6/circuit layer 4 becomes infinite, so variability of depth of overetching in circuit layer 4 becomes minimum.

As shown in Fig. 2 (d), Al membrane was built up by sputtering method. The top circuit layer 7 was formed by etching.

Bibliographic Fields**Document Identity**

(19)【発行国】	(19) [Publication Office]
日本国特許庁(JP)	Japan Patent Office (JP)
(12)【公報種別】	(12) [Kind of Document]
公開特許公報(A)	Unexamined Patent Publication (A)
(11)【公開番号】	(11) [Publication Number of Unexamined Application]
特開平6-69166	Japan Unexamined Patent Publication Hei 6 - 69166
(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成6年(1994)3月11日	1994 (1994) March 11 day

Public Availability

(43)【公開日】	(43) [Publication Date of Unexamined Application]
平成6年(1994)3月11日	1994 (1994) March 11 day

Technical

(54)【発明の名称】	(54) [Title of Invention]
コントクトホールの形成方法	FORMATION METHOD OF CONTACT HOLE
(51)【国際特許分類第5版】	(51) [International Patent Classification, 5th Edition]
H01L 21/302 F 9277-4M	H01L 21/302 F 9277-4M
21/28 L 9055-4M	21/28 L 9055-4M
21/90 A 7514-4M	21/90 A 7514-4M
【請求項の数】	[Number of Claims]
2	2
【全頁数】	[Number of Pages in Document]
6	6

Filing

【審査請求】	[Request for Examination]
未請求	Unrequested
(21)【出願番号】	(21) [Application Number]
特願平4-216748	Japan Patent Application Hei 4 - 216748
(22)【出願日】	(22) [Application Date]
平成4年(1992)8月14日	1992 (1992) August 14 days

Parties**Applicants**

(71)【出願人】	(71) [Applicant]
【識別番号】	[Identification Number]

000005821

000005821

【氏名又は名称】

[Name]

松下電器産業株式会社

MATSUSHITA ELECTRIC INDUSTRIAL CO. LTD.
(DB 69-053-6552)

【住所又は居所】

[Address]

大阪府門真市大字門真1006番地

Osaka Prefecture Kadoma City Oaza Kadoma 100 6

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

浅井 明

Asai discernment

【住所又は居所】

[Address]

大阪府門真市大字門真1006番地 松下電器
産業株式会社内Inside of Osaka Prefecture Kadoma City Oaza Kadoma 100 6
Matsushita Electric Industrial Co. Ltd. (DB 69-053-6552)

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

玉置 徳彦

Tamaoki Tokuhiko

【住所又は居所】

[Address]

大阪府門真市大字門真1006番地 松下電器
産業株式会社内Inside of Osaka Prefecture Kadoma City Oaza Kadoma 100 6
Matsushita Electric Industrial Co. Ltd. (DB 69-053-6552)**Agents**

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又は名称】

[Name]

小鍛治 明 (外2名)

Kokaji, Akira (2 others)

Abstract

(57) [Abstract]

(57)【要約】

[Objective]

【目的】

contact hole of plural where depth differs number of steps is
formedwithout increasing.

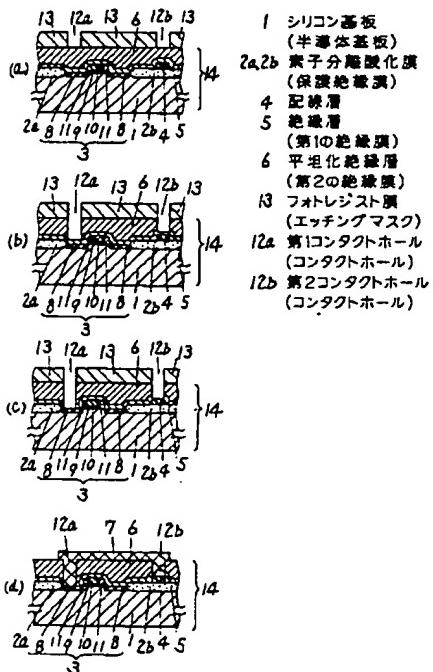
【構成】

[Constitution]

シリコン基板 1 および配線層 4 上に、一酸化炭素が添加されたエッティングガスを用いるエッティングに対してエッティング速度の比が5以上となる2種類以上の絶縁層 5 および平坦化絶縁層 6 をエッティング速度の小さい絶縁層 5 をシリコン基板 1 および配線層 4 側に形成し、一酸化炭素が添加されたエッティングガスを用いた第1のエッティングによって、第1 contactホール 12a において絶縁層 5 露出するまでエッティングを行う。

On silicon substrate 1 and metallization layer 4, insulating layer 5 and planarization insulating layer 6 of 2 kinds or more ratioof etching velocity 5 or greater ago vis-a-vis etching which uses etching gas where carbon monoxide is added insulating layer 5 where etching velocity is small is formedin silicon substrate 1 and metallization layer 4 side, with first etching which uses etching gas where carbon monoxide is added, Until insulating layer 5 exposes in first contact hole 12a etching is done.

その後、拡散層 8 および配線層 4 に対する絶縁層 5 のエッティング速度の比が高い第 2 のエッティング条件によって、第 1 コンタクトホール 12a および第 2 コンタクトホール 12b において拡散層 8 および配線層 4 が露出するまで第 2 のエッティングを行う。



After that, until with second etching condition whose ratio of etching velocity of insulating layer 5 for diffusion layer 8 and metallization layer 4 is high, diffusion layer 8 and metallization layer 4 expose in first contact hole 12a and second contact hole 12b second etching is done.

Claims

【特許請求の範囲】

【請求項 1】

半導体基板とその半導体基板上に保護絶縁膜を介して形成された配線層とを覆う第 1 の絶縁膜と前記第 1 の絶縁膜とは同一エッティング条件でエッティング速度の異なる第 2 の絶縁膜とを形成する工程と、コンタクトをとるべき配線層または半導体基板上の第 2 の絶縁膜上の所定の領域を除いてエッティングマスクを形成する工程と、一酸化炭素を含有するエッティングガスを用いて第 2 の絶縁膜と第 1 の絶縁膜をエッティングし、配線層または半導体基板に達するコンタクトホールを形成する工程を有するコンタクトホールの形成方法。

【請求項 2】

同一のエッティング条件において、第 1 の絶縁膜のエッティング速度が第 2 の絶縁膜のエッティング

【Claim(s)]

【Claim 1】

semiconductor substrate and through protective insulating film on semiconductor substrate, second insulating film and first insulating film etching are done making use of etching gas which contains step. carbon monoxide which forms etching mask first insulating film and aforementioned first insulating film which cover metallization layer which was formed as metallization layer which should take step. contact which forms second insulating film where etching velocity differs in same etching condition or excluding predetermined domain on second insulating film on semiconductor substrate, metallization layer or formation method. of contact hole which possesses step which forms contact hole which reaches to semiconductor substrate

【Claim 2】

In same etching condition, formation method. of contact hole which is stated in Claim 1 where etching velocity of first

速度より小さい請求項1記載のコンタクトホールの形成方法。

Specification

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、配線層または半導体基板に到達するコンタクトホールを絶縁膜に形成するコンタクトホールの形成方法に関する。

【0002】

【従来の技術】

半導体集積回路装置は、半導体基板上に形成されたトランジスタ等の回路素子を電気的に接続するための拡散層または配線層からなる配線を有している。

半導体基板上に集積される回路素子の数が増加するに伴い、回路素子の寸法および回路素子間の距離は益々縮小してきている。

このような高密度に形成された回路素子を接続するために、多層配線構造を有する半導体装置が開発されている。

【0003】

以下従来のコンタクトホールの形成方法について説明する。

図3は従来のコンタクトホールの形成方法を説明する図である。

図3に示すまにMOS型半導体装置は、シリコン基板1と、シリコン基板1の表面の所定領域に形成された素子分離酸化膜2aおよび2bと、シリコン基板1の素子分離酸化膜2aおよび2bが形成されていない領域(素子領域)にまたがって形成されたMOSFET3と、素子分離酸化膜2aおよび2b上に形成された配線層4と、MOSFET3と配線層4を覆う絶縁層5と、平坦化絶縁層6と、MOSFET3と配線層4とを互いに接続するための上部配線層7を有している。

MOSFET3は、シリコン基板1の素子領域の所定部分に形成された不純物拡散層(ソースまたはドレインとして機能する)8と、素子領域上に形成されたゲート酸化膜9と、ゲート酸化膜9の上に形成されたゲート電極10と、ゲート電極側壁

insulating film is smaller than etching velocity of second insulating film

[Description of the Invention]

[0001]

[Field of Industrial Application]

this invention regards formation method of contact hole which forms contact hole which arrives in metallization layer or semiconductor substrate in insulating film.

[0002]

[Prior Art]

semiconductor integrated circuit equipment has had metallization which consists of diffusion layer or metallization layer in order to connect transistor or other circuit element which was formed on semiconductor substrate to the electrical.

As quantity of circuit element which is accumulated on semiconductor substrate increases, it has reduced dimension of circuit element and distance between circuit element more and more.

In order to connect circuit element which was formed to this kind of high density semiconductor device which possesses multilayer metallization structure is developed.

[0003]

You explain concerning formation method of below conventional contact hole.

Figure 3 is figure which explains formation method of conventional contact hole.

Way it shows in Figure 3, as for MOS type semiconductor device, were formed to specified domain of surface of silicon substrate 1 and silicon substrate 1 extending over element separation oxidized film 2a and 2b and element separation oxidized film 2a of silicon substrate 1 and domain (element domain) where 2b are not formed, insulating layer 5 which covers MOSFET 3 and were formed on the element separation oxidized film 2a and 2b metallization layer 4 and MOSFET 3 and metallization layer 4 which were reformed and, It has possessed upper part metallization layer 7 in order to connect planarization insulating layer 6 and MOSFET 3 and metallization layer 4 mutually.

MOSFET 3, impurity diffusion layer which was formed to specified part of element domain of the silicon substrate 1 (It functions as source or drain.) has had gate oxide film 9 and were formed on gate oxide film 9 gate electrode 10 and gate electrode side wall protective film 11 which were formed on 8

保護膜 11 を有している。

CVD 法によって高温形成された酸化珪素(High Temperature Oxide;HTO)からなる絶縁層 5 は、多量のりん、ほう素または両者を含む酸化珪素(BPSG)からなる平坦化絶縁層 6 が直接シリコン基板 1 に接し、シリコン基板 1 の性質が変化することを防ぐためのものである。

MOSFET3 と配線層 4 とは、絶縁層 5 および平坦化絶縁層 6 の所定部分に形成された第 1 コンタクトホール 12a と第 2 コンタクトホール 12b を介して接続されている。

絶縁層 5 と平坦化絶縁層 6 に第 1 コンタクトホール 12a と第 2 コンタクトホール 12b を形成するには、以下の 2 通りの方法がある。

[0004]

まず第 1 の方法について説明する。

通常の方法によって素子分離酸化膜 2a、2b と、MOSFET3 と、素子分離酸化膜 2b 上に配線層 4 が形成される。

絶縁層 5 が MOSFET3 と配線層 4 を覆うようにしてシリコン基板 1 上に堆積される。

堆積方法としては CVD 法が用いられる。

さらに絶縁層 5 の上に平坦化絶縁層 6 が CVD 法によって形成され、熱処理によって平坦化される。

エッチングマスクとして機能するフォトレジスト膜が平坦化絶縁層 6 上に形成され、その後絶縁層 5 と平坦化絶縁層 6 において第 1 コンタクトホール 12a が形成されるべき領域(第 1 コンタクトホール領域 12a とする)と第 2 コンタクトホール 12b が形成されるべき領域(第 2 コンタクトホール領域 12b とする)上のフォトレジス 通常のフォトリソグラフィ法により除去される。

その後、単一のエッチング条件によって絶縁層 5 と平坦化絶縁層 6 の第 1 および第 2 コンタクトホール領域 12a、12b がエッチングされる。

[0005]

次に第 2 の方法について説明する。

HTO からなる絶縁層 5 が MOSFET3 と配線層 4 を覆うようにしてシリコン基板 1 上に堆積される。

堆積方法としては CVD 法が用いられる。

さらに絶縁層 5 の上に BPSG からなる平坦化絶縁層 6 が CVD 法によって形成され、熱処理によ

and element domain.

high temperature was formed as for insulating layer 5 which consists of silicon oxide (High temperature oxide;HTO)which, planarization insulating layer 6 which consists of silicon oxide (BPSG) which includes the phosphorus、boron or both of large amount touches to silicon substrate 1 directly with the CVD method , property of silicon substrate 1 changes is something in order to prevent.

MOSFET 3 and metallization layer 4, through first contact hole 12a and second contact hole 12b which wereformed to specified part of insulating layer 5 and planarization insulating layer 6 it is connected.

first contact hole 12a and second contact hole 12b are formed in insulating layer 5 and planarization insulating layer 6, thereis a method of 2 sorts below.

[0004]

First you explain concerning first method.

metallization layer 4 is formed on element separation oxidized film 2a, 2b and MOSFET 3 and element separation oxidized film 2b with the conventional method .

It is accumulated on silicon substrate 1 that insulating layer 5 covers MOSFET 3 and the metallization layer 4.

It can use CVD method as deposition method.

Furthermore on insulating layer 5 planarization insulating layer 6 is formed with CVD method , planarization is done with thermal processing .

photoresist film which functions as etching mask is formed on planarization insulating layer 6, the domain which first contact hole 12a should form after that in insulating layer 5 and the planarization insulating layer 6 (It makes first contact hole domain 12a.) with photoresist film on domain (It makes second contact hole domain 12b.) which second contact hole 12b should form isremoved by conventional photolithography method .

After that, first and second contact hole domain 12a, 12b of insulating layer 5 and planarization insulating layer 6 etching is done with single etching condition .

[0005]

Next you explain concerning second method.

It is accumulated on silicon substrate 1 that insulating layer 5 which consists of the HTO covers MOSFET 3 and metallization layer 4.

It can use CVD method as deposition method.

Furthermore planarization insulating layer 6 which consists of BPSG on insulating layer 5 isformed with CVD method ,

って平坦化される。

エッティングマスクとして機能するフォトレジスト膜が平坦化絶縁層6 上に形成され、その後絶縁層5と平坦化絶縁層6において第1コンタクトホール領域12a上のフォトレジス 通常のフォトリソグラフィ法により除去される。

その後、単一のエッティング条件によって絶縁層5 および平坦化絶縁層6 の第1コンタクトホール領域12a がエッティングされる。

第1コンタクトホール12a が形成された後第1コンタクトホール12a を形成するためのフォトレジスト膜が剥離され、第2コンタクトホール12b を形成するために新しく平坦化絶縁層6 上にフォトレジス

絶縁層5 を覆う平坦化絶縁層6 において第2コンタクトホール12b が形成されるべき領域(第2コンタクトホール領域)上のフォトレジスト膜が除去され、単一のエッティング条件によって絶縁層5 および平坦化絶縁層6 を貫通する第2コンタクトホール領域12b がエッティングされる。

第1コンタクトホール12a と第2コンタクトホール12b はどちらを先に形成してもよい。

[0006]

【発明が解決しようとする課題】

しかしながら上記の従来の方法では、エッティングの進行により第2コンタクトホール領域12bにおいて配線層4 が露出した後も第1コンタクトホール領域12a においてMOSFET3 の拡散層8 が露出するまでエッティングが実施される。

これは第1コンタクトホール12a の方が第2コンタクトホール12b よりも深いからである。

そのため配線層4 の露出部分がオーバーエッチング状態になり、配線層4 へのコンタクトの電気的特性が変化したり、第2コンタクトホール12b が配線層4 を突き抜けて素子分離酸化膜2b やシリコン基板1 に達する等の課題を有している。

[0007]

また第2の方法は第1コンタクトホール12a と第2コンタクトホール12b を別工程で形成するため、工程数が増加したりマスクずれが生じ易い等の問題を有しており、半導体装置の歩留まりを悪くする。

[0008]

本発明の目的は上記従来の課題を解決するもので、深さの異なる複数のコンタクトホール形成

planarization is done with thermal processing .

photoresist film on first contact hole domain 12a is removed by conventional photolithography method photoresist film which functions as etching mask is formed on planarization insulating layer 6, after that in insulating layer 5 and planarization insulating layer 6.

After that, first contact hole domain 12a of insulating layer 5 and planarization insulating layer 6 etching is done with single etching condition .

After first contact hole 12a was formed, photoresist film in order to form first contact hole 12a is exfoliated, photoresist film is formed on planarization insulating layer 6 newly in order to form second contact hole 12b.

photoresist film on domain (second contact hole domain) which second contact hole 12b should form in planarization insulating layer 6 which covers insulating layer 5 is removed, second contact hole domain 12b which penetrates the insulating layer 5 and planarization insulating layer 6 with single etching condition is done etching.

first contact hole 12a and second contact hole 12b may form whichever first.

[0006]

[Problems to be Solved by the Invention]

But with above-mentioned conventional method, after metallization layer 4 exposes with the advance of etching in second contact hole domain 12b, until diffusion layer 8 of MOSFET 3 exposes in first contact hole domain 12a etching is executed.

Because this first contact hole 12a is deep in comparison with second contact hole 12b.

Because of that exposed part of metallization layer 4 to become overetching state, electrical property of contact to metallization layer 4 changing, second contact hole 12b penetrating metallization layer 4, it has possessed or other problem which reaches to element separation oxidized film 2b and silicon substrate 1.

[0007]

In addition as for second method in order to form first contact hole 12a and second contact hole 12b with separate step, number of steps increases and/or we have possessed or other problem which mask gap is easy to occur, make yield of semiconductor device bad.

[0008]

objective of this invention being something which solves the above-mentioned conventional problem, in first contact

に関して、工程数を増加させることなしに第 1 コンタクトホール領域に露出する配線層またはシリコン基板のオーバーエッチング且および電気的特性の変化を最小限にし、最少のフォトリソグラフおよび程第より第 1 コンタクトホールを形成できるコンタクトホールの形成方法を提供することを目的とする。

[0009]

【課題を解決するための手段】

この目的を達成するために本発明のコンタクトホールの形成方法は、半導体基板およびその上に形成された配線層を有する特定の第 1 、第 2 の 2 層構造の絶縁層に深さの異なるコンタクトホールを形成する工程において、第 2 の絶縁層を一酸化炭素が添加されたエッティングガスを用いて第 1 のエッティングを実施し、第 1 の絶縁層の表面が露出した後第 1 の絶縁層の下地となる半導体基板または配線層がエッティングされにくくエッティング条件を用いて第 2 のエッティングを実施する構成を有している。

[0010]

【作用】

この構成によって、コンタクトを取る半導体基板または配線層がエッティング雰囲気に曝される時間が短いため、コンタクトホールがオーバーエッチングにより半導体基板または配線層を突き抜けることがなくなり、また半導体基板または配線層へのコンタクトの電気的特性の変化を少なくすることができ、良好なコンタクトを得ることができ。

[0011]

なお本発明者らは、第 1 のエッティングのエッティングガスとして CHF₃ 、 O₂ および CO を選択し、各種絶縁層に対して(表 1)のようなエッティング速度を得た。

[0012]

【表 1】

hole domain without increasing in regard to contact hole formation of plural where depth differs, exposes the number of steps designates overetching quantity of metallization layer or silicon substrate which and change of electrical property as minimum, formation method of contact hole which can form first contact hole and second contact hole with the photolithography process of least is offered makes objective.

[0009]

[Means to Solve the Problems]

formation method of contact hole of this invention executes first etching in order to achieve this objective making use of etching gas where carbon monoxide is added in step which forms contact hole where depth differs to insulating layer of specific first, second bilayer structure which covers semiconductor substrate and metallization layer which was formed on that, second insulating layer, After surface of first insulating layer exposes, it has possessed the constitution which executes second etching semiconductor substrate or metallization layer which becomes substrate of first insulating layer making use of etching condition which etching is difficult to be done.

[0010]

[Working Principle]

Because with this constitution, time when semiconductor substrate or metallization layer which takes contact is exposed to etching atmosphere is short, contact hole the semiconductor substrate or metallization layer is penetrated due to overetching , it stops being, in addition change of electrical property of contact to semiconductor substrate or metallization layer decreases, it is possible , can acquire the satisfactory contact.

[0011]

Furthermore these inventors selected CHF₃ , O₂ and CO as etching gas of first etching, acquired etching velocity like (Table 1) vis-a-vis various insulating layer.

[0012]

[Table 1]

		例 1	例 2
エッチングガス 流量(sccm)	CHF ₃	3 0	3 0
	O ₂	1 . 7	2
	CO	3 0	5 0
エッチング速度 (nm/min)	BPSG	1 6 0	1 2 6
	HTO	2 7	2 1
	Si ₃ N ₄	2 9	2 2

【0013】

すなわち、第 2 の絶縁層を BPSG、第 1 の絶縁層を HTO または窒化珪素(Si₃N₄)に選択することによって本発明のコンタクトホールの形成方法に用いるエッチング方法が実現できることを確認した。

【0014】

【実施例】

以下本発明の一実施例におけるコンタクトホールの形成方法について図面を参照しながら説明する。

【0015】

(実施例 1)

図 1(a)~(d)は本発明の第 1 の実施例におけるコンタクトホールの形成方法の工程断面図である。

図 1(a)~(d)において図 3 に示す従来例と同一箇所には同一符号を付して説明を省略する。

まず図 1(a)に示すにシリコン 1 上に、従来法を用いて形成された MOSFET3 と膜厚

[0013]

BPSG、first insulating layer etching method which is used for formation method of contact hole of the this invention it selects with can actualize namely, second insulating layer verified in HTO or silicon nitride (Si₃N₄).

[0014]

[Working Example(s)]

While referring to drawing, concerning formation method of contact hole in the one Working Example of below this invention you explain.

[0015]

(Working Example 1)

Figure 1 (a) - as for (d) it is a step sectional view of formation method of contact hole in first Working Example of this invention.

Same symbol on same place as Prior Art Example which is shown in the Figure 3 Figure 1 (a) - in (d) attaching, it abbreviates explanation.

First as shown in Figure 1 (a), with condition which metallization layer 4 and the impurity of width 0.6 ;μm film

0.4 μm の素子分離酸化膜 2b 上に形成された幅 0.6 μm 膜厚 0.3 μm の配線層 4 と、不純物をドープしない条件で CVD 法によって成膜された膜厚 200nm の酸化珪素からなる絶縁層 5 と、絶縁層 5 の上に CVD 法によって形成された膜厚 700nm のほう素とリンをドープした酸化 硅素からなり熱処理によって平坦化された平坦化絶縁層 6 とが形成されており、その上にフォトリソグラフィ法により第 1 コンタクトホール領域 12a および第 2 コンタクトホール領域 12b に窓を開けたフォトレジスト膜 13 が形成される。

MOSFET3 は、幅 0.6 μm 膜厚 0.02 μm のゲート絶縁膜 9 と、膜厚 0.4 μm のゲート電極 10 と、下方の幅 0.2 μm のゲート側壁保護膜 11 と、幅 1 μm の拡散層 8 より構成されている。

第 1 コンタクトホール領域 12a における平坦化絶縁層 6 の膜厚は 1000nm であり第 2 コンタクトホール領域 12b における平坦化絶縁層 6 の膜厚は 500nm である。

絶縁層 5 の膜厚はシリコン基板 1 に与えるストレスを考慮して 200nm 以下に設定されている。

なお以下の説明において、MOSFET3、絶縁層 5 配線層 4 および平坦化絶縁層 6 が形成されたシリコン基板 1 をウエハ 14 と称する。

【0016】

次に図 1(b)に示すようにフォトレジスト膜 13 が形成されたウエハ 14 を 3 電極方式の RIE 装置内に導入し、2 種類のエッティング条件によりエッティングを行う。

第 1 のエッティング条件のエッティングガスとしては、CHF₃ および O₂ を含有する混合ガスに CO が添加したエッティングガスを用いた。

CHF₃ および O₂ の流量は、各々 30 sccm および 1.7 sccm である。

本実施例では CO の流量は 30 sccm、側部電極に印加する電圧の周波数は 13.56MHz、RF パワーは 250W とした。

下部電極に印加する電圧の周波数は 100kHz、RF パワーは 100W とした。

放電により一部がイオン化されたエッティングガスはプラズマ状態となり、RIE 装置内に導入されたウエハ 14 と接触し、ウエハ 14 上の平坦化絶縁層 6 の内フォトレジスト膜 13 に覆われていない

thickness 0.3 ;mu m which was formed on element separation oxidized film 2b of MOSFET 3 and film thickness 0.4 ;mu m which were formed on silicon substrate 1, making use of prior art method doped is not done with CVD method film formation insulating layer 5 which consists of silicon oxide of film thickness 200 nm which is done and, It consists of silicon oxide which boron and phosphorus of film thickness 700 nm which was formed on insulating layer 5 with CVD method doped is done the planarization insulating layer 6 which planarization is done is formed with thermal processing , photoresist film 13 which opened window to first contact hole domain 12a and second contact hole domain 12b with photolithography method is formed on that.

MOSFET 3, is formed from gate insulating film 9 of width 0.6 ;mu m film thickness 0.02 ;mu m and gate electrode 10 of film thickness 0.4 ;mu m and gate side wall protective film 11 of the width 0.2 ;mu m of lower and diffusion layer 8 of width 1 ;mu m.

As for film thickness of planarization insulating layer 6 in first contact hole domain 12a with 1000 nm , film thickness of planarization insulating layer 6 in second contact hole domain 12b is 500 nm .

film thickness of insulating layer 5 considering stress which is given to the silicon substrate 1, is set to 200 nm or less.

Furthermore silicon substrate 1 where MOSFET 3, insulating layer 5, metallization layer 4 and planarization insulating layer 6 were formed at the time of explaining below, is named wafer 14.

【0016】

As shown next in Figure 1 (b), wafer 14 where photoresist film 13 was formed is introduced into RIE equipment of 3 electrode system, etching is done with etching condition of 2 kinds.

As etching gas of first etching condition, etching gas which CO adds to mixed gas which contains CHF₃ and O₂ was used.

flow of CHF₃ and O₂ is each 30 sccm and 1.7 sccm .

With this working example as for flow of CO as for frequency of the voltage which imparting is done as for 13.56 MHz, RF power it made 250 W in 30 sccm, side part electrode.

As for frequency of voltage which imparting is done as for 100 KHz, RF power it made 100 W in bottom electrode.

Part as for etching gas which ionization is done becomes plasma state depending upon discharge, contacts with wafer 14 which is introduced into RIE equipment, etching does portion which is not covered in the inside photoresist film 13

部分を高い異方性を持ってエッチングする。

第1のエッティングは第2コンタクトホール領域12bにおいて絶縁層5が露出した後も継続され、第1コンタクトホール領域12aにおいて絶縁層5が露出するまで行われた後放電を中断する。

[0017]

第1のエッティング条件では平坦化絶縁層6は毎分150nmエッティングされ、絶縁層5は毎分30nmエッティングされる。

したがって、この時点において第2コンタクトホール領域12bにおいては絶縁層5は100nmエッティングされるが、絶縁層5のエッティング速度に対する平坦化絶縁層6のエッティング速度の比が5を確保できるため200nm厚の絶縁層5の膜中でエッティングを止めることができる。

以下の説明において、一般的にAのエッティング速度に対するBのエッティング速度の比をA/Bの選択比と称することとする。

その後、第2のエッティング条件のエッティングガスとしてCHF₃およびO₂を含有するエッティングガスを導入する。

CHF₃およびO₂の流量は、各々45sccmおよび5sccmである。

側部電極に印加されるRFパワーを200W、下部電極に印加されるRFパワーを100Wとし、再び側部および下部電極に電力を供給することにより放電を開始した。

[0018]

次に図1(c)に示すように、第2のエッティングは第1コンタクトホール領域12aにおいて拡散層8が露出するまで行う。

第2のエッティング条件では絶縁層5は毎分120nmエッティングされ、配線層4および拡散層8は毎分10nmエッティングされるため、この時点において第2コンタクトホール領域12bにおいては配線層4は8nmエッティングされる。

この場合の実質的な平坦化絶縁層6/配線層4の選択比は、平坦化絶縁層6/絶縁層5の選択比である5と絶縁層5/配線層4の選択比である12を算した60となり、配線層4のオーバーエッティング深さのばらつきを最小限に食い止めることができる。

of planarization insulating layer 6 on wafer 14 with high anisotropy.

first etching is done after insulating layer 5 exposes in second contact hole domain 12b, continuing insulating layer 5 exposes until in first contact hole domain 12a, after being done, discharge is discontinued.

[0017]

With first etching condition as for planarization insulating layer 6 each minute 150 nm etching it is done, insulating layer 5 is done each minute 30 nm etching.

Therefore, in this time point, in second contact hole domain 12b, insulating layer 5 is done 100 nm etching, but because ratio of etching velocity of planarization insulating layer 6 for etching velocity of insulating layer 5 can guarantee 5, it stops etching in film of insulating layer 5 of 200 nm thick, it is possible.

At time of explaining below, ratio of etching velocity of B generally for etching velocity of A is designated as selectivity of the A/B and it names.

After that, etching gas which contains CHF₃ and O₂ as the etching gas of second etching condition is introduced.

flow of CHF₃ and O₂ is each 45 sccm and 5 sccm.

In side part electrode RF power which imparting is done RF power which the imparting is done was designated as 100 W in 200 W, bottom electrode, discharge was started by again supplying electric power to side part and bottom electrode.

[0018]

As shown next in Figure 1 (c), second etching until diffusion layer 8 exposes in first contact hole domain 12a it does.

With second etching condition as for insulating layer 5 each minute 120 nm etching it is done, as for metallization layer 4 and diffusion layer 8 because each minute 10 nm etching it is done, as for metallization layer 4 8 nm etching it is done regarding second contact hole domain 12b in this time point.

selectivity of effective planarization insulating layer 6/metallization layer 4 in this case, it becomes with 60 where the integration it does, 12 where it is a selectivity of 5 and insulating layer 5/metallization layer 4 which is a selectivity of planarization insulating layer 6, insulating layer 5 eats scatter of overetching depth of metallization layer 4 in the minimum and stops it is possible.

【0019】

単一のエッティングにより本実施例と同様の第 1 コンタクトホール 12a および第 2 コンタクトホール 12b を形成した場合、平坦化絶縁層 6/配線層 4 の選択比として 60 が必要となる。

しかしながら平坦化絶縁層 6/配線層 4 の選択比が 60 となるエッティングは実現困難であり本実施例では実現容易な 2 つのエッティングにわけることによりその困難性を回避している。

【0020】

次に図 1(d)に示すように、スパッタ法によりアルミニウム(Al)膜を堆積し所定のパターンにエッティングして上部配線層 7 を形成する。

【0021】

こうして作製された深さの異なる複数の第 1、第 2 コンタクトホール 12a、12b は、コンタクトホールの底に露出した配線層 4 およびシリコン基板 1 へのオーバーエッティング量が少なく、エッティング雰囲気より受けるダメージおよび汚染が少なく、上部配線層 7 と第 1 コンタクトホール 12a の底に露出したシリコン基板 1 または第 2 コンタクトホール 12b の底に露出した配線層 4 との間で良好なコンタクトを得ることができた。

【0022】

(実施例 2)

図 2(a)～(d)は本発明の第 2 の実施例におけるコンタクトホールの形成方法の工程断面図である。

図 2(a)～(d)において、図 3 に示す従来例と同一箇所には同一符号を付して説明を省略する。

まず図 2(a)に示すように、シリコン基板 1 の上に、従来法を用いて形成された MOSFET3 と膜厚 $0.4 \mu\text{m}$ の素子分離酸化膜 2b 上に形成された幅 $0.6 \mu\text{m}$ 膜厚 $0.3 \mu\text{m}$ の配線層 4 と、不純物をドープしない条件で CVD 法によって成膜された膜厚 200nm の酸化珪素からなる絶縁層 5 と、絶縁層 5 の上に CVD 法によって形成された膜厚 700nm のほう素とリンをドープした酸化珪素からなり熱処理によって平坦化された平坦化絶縁層 6 とが形成されており、その上にフォトリソグラフ 法により第 1 コンタクトホール領域 12a および第 2 コンタクトホール領域 12b に窓を開いたフォトレジスト膜 13 が形成される。

[0019]

When it tries to form first contact hole 12a and second contact hole 12b which are similar to the this working example with single etching , 60 becomes necessary as selectivity of planarization insulating layer 6/metallization layer 4.

But etching where selectivity of planarization insulating layer 6/metallization layer 4 becomes with 60 beingactualization difficult, with this working example difficulty is evaded by beingable to boil in actualization easy 2 etching.

[0020]

As shown next in Figure 1 (d), it accumulates aluminum (Al) film with sputtering method and etching does in predetermined pattern and forms upper part metallization layer 7.

[0021]

In this way, as for first、second contact hole 12a, 12b of plural where depth which isproduced differs, overetching quantity to metallization layer 4 and silicon substrate 1 whichare exposed in bottom of contact hole is small, etching atmosphere compared to damage and pollution which are received are little, Satisfactory contact could be acquired between metallization layer 4 which isexposed in bottom of silicon substrate 1 or second contact hole 12b which is exposed in the bottom of upper part metallization layer 7 and first contact hole 12a.

[0022]

(Working Example 2)

Figure 2 (a) - as for (d) it is a step sectional view of formation method of contact hole in second Working Example of this invention.

Figure 2 (a) - in (d), same symbol on same place as the Prior Art Example which is shown in Figure 3 attaching, it abbreviates explanation.

First as shown in Figure 2 (a), with condition which metallization layer 4 and the impurity of width $0.6 \mu\text{m}$ film thickness $0.3 \mu\text{m}$ which was formed on element separation oxidized film 2b of MOSFET 3 and film thickness $0.4 \mu\text{m}$ which were formed on silicon substrate 1,making use of prior art method doped is not done with CVD method film formation insulating layer 5 which consists of silicon oxide of film thickness 200 nm which is done and, It consists of silicon oxide which boron and phosphorus of film thickness 700 nm which was formed on insulating layer 5 with CVD method doped is done the planarization insulating layer 6 which planarization is done is formed with thermal processing , photoresist film 13 which opened window to first contact hole domain 12a and second contact hole domain 12b with

MOSFET3 は、幅 $0.6 \mu\text{m}$ で膜厚 $0.02 \mu\text{m}$ のゲート絶縁膜 9 と、膜厚 $0.4 \mu\text{m}$ のゲート電極 10 と、下方の幅 $0.2 \mu\text{m}$ のゲート電極側壁保護膜 11 と、膜厚 140nm のゲート電極上部保護膜 15 と、幅 $1 \mu\text{m}$ の拡散層 8 より構成されている。

配線層 4 は、膜厚 140nm の CVD 法によって成膜された酸化珪素からなる配線層上部保護膜 16 と下方の幅 $0.2 \mu\text{m}$ の配線層側壁保護膜 17 によって覆われている。

配線層上部保護膜 16 は、第 2 のエッチング条件に対して絶縁層 5 と同じエッチング速度を持つものである。

第 1 コンタクトホール領域 12a における平坦化絶縁層 6 の膜厚は 1000nm であり第 2 コンタクトホール領域 12b における平坦化絶縁層 6 の膜厚は 300nm である。

なお以下の説明において、MOSFET3、絶縁層 5 配線層 4 および平坦化絶縁層 6 が形成されたシリコン基板 1 を以下ウェハ 14 と称する。

次にウェハ 14 は第 1 のエッチング条件によりウェハ 14 上の平坦化絶縁層 6 の内フォトレジスト膜 13 に覆われていない部分が高い異方性を持ってエッチングされる。

【0023】

次に図 2(b)に示すように、第 1 のエッチングは第 2 コンタクトホール領域 12b において絶縁層 5 が露出した後も継続して行われ、第 1 コンタクトホール領域 12a において絶縁層 5 が露出するまで行われた後、放電を中断する。

第 1 のエッチングにより第 2 コンタクトホール領域 12b においては、絶縁層 5 は 140nm エッチングされる

その後、第 2 のエッチング条件により再びエッチングを開始する。

【0024】

次に図 2(c)に示すように、第 2 のエッチングは第 1 コンタクトホール領域 12a において拡散層 8 が露出し、かつ第 2 コンタクトホール領域 12b において配線層 4 が露出するまで行う。

第 2 のエッチングによってエッチングされる膜は、第 1 コンタクトホール領域 12a においては膜厚 200nm の絶縁層 5 であり第 2 コンタクトホ

photolithography method is formed on that.

MOSFET 3, with width $0.6 \mu\text{m}$ is formed from gate insulating film 9 of the film thickness $0.02 \mu\text{m}$ and gate electrode 10 of film thickness $0.4 \mu\text{m}$ and gate electrode side wall protective film 11 of width $0.2 \mu\text{m}$ of lower and gate electrode upper part protective film 15 of film thickness 140nm and diffusion layer 8 of width $1 \mu\text{m}$.

As for metallization layer 4, with CVD method of film thickness 140nm it is covered with metallization layer sidewall protection membrane 17 of width $0.2 \mu\text{m}$ of metallization layer upper part protective film 16 and lower which consists of silicon oxide which film formation is done.

metallization layer upper part protective film 16 as insulating layer 5 is something which has same etching velocity vis-a-vis second etching condition.

As for film thickness of planarization insulating layer 6 in first contact hole domain 12a with 1000nm , film thickness of planarization insulating layer 6 in second contact hole domain 12b is 300nm .

Furthermore silicon substrate 1 where MOSFET 3, insulating layer 5, metallization layer 4 and planarization insulating layer 6 were formed at the time of explaining below, is named or less wafer 14.

Next wafer 14 etching is done with anisotropy where portion which is not covered in inside photoresist film 13 of planarization insulating layer 6 on wafer 14 by the first etching condition is high.

[0023]

As shown next in Figure 2 (b), first etching is done after insulating layer 5 exposes in second contact hole domain 12b, continuing, insulating layer 5 exposes until in the first contact hole domain 12a, after being done, discharge is discontinued.

With first etching regarding second contact hole domain 12b, insulating layer 5 is done 140nm etching.

Again after that, etching is started with second etching condition.

[0024]

As shown next in Figure 2 (c), diffusion layer 8 exposes second etching in the first contact hole domain 12a, metallization layer 4 exposes at same time until in second contact hole domain 12b, it does.

film which etching is done regarding first contact hole domain 12a with insulating layer 5 of film thickness 200nm , is insulating layer 5 of film thickness 60nm and metallization

ール領域 12bにおいては膜厚 60nm の絶縁層 5 と膜厚 140nm の配線層上部保護膜 16 である。

絶縁層 5 と配線層上部保護膜 16 は同一材料から構成されているため第 2 のエッティング条件に対して同じエッティング速度となるので、第 1 コンタクトホール領域 12a における拡散層 8 と第 2 コンタクトホール領域 12b における配線層 4 は第 2 のエッティングによって同時に露出する。

この場合の見かけ上の平坦化絶縁層 6/配線層 4 の選択比は無限大となり、配線層 4 のオーバーエッティング深さのばらつきを最小限に食い止めることができる。

【0025】

次に図 2(d)に示すように、スパッタ法により Al 膜を堆積し所定のパターンにエッティングして上部配線層 7 を形成する。

【0026】

こうして作製された深さの異なる複数の第 1; 第 2 コンタクトホール 12a, 12b は、コンタクトホールの底に露出した配線層 4 およびシリコン基板 1 へのオーバーエッティング量が極めて少なく、エッティング雰囲気より受けるダメージおよび汚染が少なく上部配線層 7 オンタ ベース 底に露出したシリコン基板 1 または配線層 4 との間で良好なコンタクトを得ることができた。

【0027】

なお本実施例では、エッティング装置として 3 電極方式の RIE 装置を用いたが、2 電極方式の RIE 装置、ECR-RIE 装置、マグネットロン RIE 装置、ナローギャップ方式の RIE 装置等を用いても同様のエッティングを行うことができる。

【0028】

なお本実施例では、第 1 のエッティング条件のエッティングガスとして CHF₃、O₂ および CO を用いたが、少なくとも一つの C-F 結合もつガスと CO を用いても同様のエッティングを行うことができる。

【0029】

なお本実施例では、絶縁層 5 および配線層上部保護膜 16 として CVD 法によって成膜された酸化珪素を用いたが、熱酸化による酸化珪素、CVD 法による酸化窒化珪素、CVD 法による窒化珪素等を用いても同様の効果を得ることができる。

layer upper part protective film 16 of film thickness 140 nm with second etching regarding second contact hole domain 12b.

Because insulating layer 5 and metallization layer upper part protective film 16 because it is constituted from the same material, become same etching velocity vis-a-vis second etching condition, diffusion layer 8 in first contact hole domain 12a and metallization layer 4 in second contact hole domain 12b it exposes simultaneously with second etching .

selectivity of planarization insulating layer 6/metallization layer 4 on apparent in this case it becomes infinitely large,eats scatter of overetching depth of metallization layer 4 in minimum and stops it impossible .

【0025】

As shown next in Figure 2 (d), it accumulates Al film with sputtering method and etching does in predetermined pattern and forms upper part metallization layer 7.

【0026】

In this way, as for first, second contact hole 12a, 12b of plural where depth which is produced differs, overetching quantity to metallization layer 4 and silicon substrate 1 which are exposed in bottom of contact hole quite is small, satisfactory contact could be acquired between silicon substrate 1 or metallization layer 4 where etching atmosphere compared to damage and pollution which are received are little, expose in bottom of upper part metallization layer 7 and contact hole.

【0027】

Furthermore RIE equipment of 3 electrode system was used with this working example, as etching equipment similar etching is done, but making use of RIE equipment etc of the RIE equipment, ECR-RIE equipment, magnetron RIE equipment, a low gap system of 2 electrode system it is possible .

【0028】

Furthermore CHF₃, O₂ and CO were used with this working example, as the etching gas of first etching condition similar etching is done, but C-F connection of at least one making use of gas and CO which it has is impossible .

【0029】

Furthermore with this working example, silicon oxide which film formation is done was used with CVD method as insulating layer 5 and metallization layer upper part protective film 16, but with thermal oxidation with the silicon oxide, CVD method similar effect can be acquired with silicon oxynitride, CVD method making use of the silicon nitride

きる。

【0030】

なお本実施例では、配線層上部保護膜 16 と絶縁層 5 を同一材料により構成したが、配線層上部保護膜 16 と絶縁層 5 を異なる材料から構成してもよい。

【0031】

なお本実施例では、配線層上部保護膜 16 を単一材料により構成したが、2つ以上の材料から構成される2層以上の構造としてもよい。

【0032】

なお本実施例では、絶縁層 5 を単一材料により構成したが、2つ以上の材料から構成される2層以上の構造としてもよい。

【0033】

なお本実施例では、絶縁層 5 と平坦化絶縁層 6 の2層の絶縁層を用いたが、絶縁層 5 と平坦化絶縁層 6 は3層以上の構成としてもよい。

3層以上の構成とした場合、エッチング条件を3つ以上用いてもよい。

【0034】

なお本実施例では、第1のエッチング条件として平坦化絶縁層 6/絶縁層 5 の選択比が5となるエッチング条件を用いたが、平坦化絶縁層 6/絶縁層 5 の選択比が5以上となる他のエッチング条件でもよい。

【0035】

【発明の効果】

以上のように本発明は、深さの異なる複数のコンタクトホールを有する半導体基板を取扱う。取扱う半導体基板または配線層がエッチング雰囲気に曝される時間が短く、コンタクトホールがオーバーエッチングにより半導体基板または配線層を突き抜けることがなく、半導体基板または配線層がエッチング雰囲気より受けるダメージおよび汚染を少なくすることができ、良好なコンタクトを得ることができ、優れたコンタクトホールの形成方法を実現することができる。

【0036】

etc.

【0030】

Furthermore with this working example, metallization layer upper part protective film 16 and insulating layer 5 were formed due to same material , but it is possible to form metallization layer upper part protective film 16 and insulating layer 5 from material which differs.

【0031】

Furthermore with this working example, metallization layer upper part protective film 16 was formed due to single material , but it is possible as structure of 2 layers or more which are formed from material of 2 or more.

【0032】

Furthermore with this working example, insulating layer 5 was formed due to single material , but it is possible as structure of 2 layers or more which are formed from material of 2 or more.

【0033】

Furthermore with this working example, insulating layer of 2 layers of insulating layer 5 and the planarization insulating layer 6 was used, but insulating layer 5 and planarization insulating layer 6 are possible as constitution of 3 layers or more.

When it constitutes of 3 layers or more, 3 or more it is possible to use the etching condition.

【0034】

Furthermore with this working example, etching condition where selectivity of planarization insulating layer 6/insulating layer 5 becomes with 5 as first etching condition was used, but it is good even with the other etching condition where selectivity of planarization insulating layer 6/insulating layer 5 becomes 5 or greater.

【0035】

【Effects of the Invention】

Like above as for this invention, contact hole of plural where depth differs, time when semiconductor substrate or metallization layer which takes contact is exposed to etching atmosphere is short, contact hole penetrates semiconductor substrate or the metallization layer due to overetching , is not , semiconductor substrate or metallization layer the etching atmosphere compared to decreases damage and pollution which are received, it to be possible , Satisfactory contact can be acquired can actualize formation method of the contact hole which is superior.

タクトを

【0036】

また深さの異なるコンタクトホールを最小回数のフォトリソグラフィ工程で形成することができるため、半導体集積回路を高歩留まり生産することができ、その実用的效果は極めて大きい。

【図面の簡単な説明】

【図1】

(a)~(d)は本発明の第1の実施例におけるコンタクトホールの形成方法の工程断面図

【図2】

(a)~(d)は本発明の第2の実施例におけるコンタクトホールの形成方法の工程断面図

【図3】

従来のコンタクトホールの形成方法を説明する図

【符号の説明】

1

シリコン基板(半導体基板)

12a

第1コンタクトホール (コンタクトホール) タクトホール first contact hole (contact hole)

12b

第2コンタクトホール (コンタクトホール) タクトホール second contact hole (contact hole)

13

フォトレジスト膜(エッティングマスク)

2a

素子分離酸化膜(保護絶縁膜)

2b

素子分離酸化膜(保護絶縁膜)

4

配線層

5

絶縁層(第1の絶縁膜)

6

平坦化絶縁層(第2の絶縁膜)

Drawings

【図1】

In addition because contact hole where depth differs can be formed with photolithography process of minimum number of times, high yield rate produces semiconductor integrated circuit to be possible, practical effect quite is large.

[Brief Explanation of the Drawing(s)]

[Figure 1]

(a) - As for (d) step sectional view of formation method of contact hole in first Working Example of this invention

[Figure 2]

(a) - As for (d) step sectional view of formation method of contact hole in second Working Example of this invention

[Figure 3]

formation method of conventional contact hole is explained figure

[Explanation of Symbols in Drawings]

1

silicon substrate (semiconductor substrate)

12 a

タクトホール first contact hole (contact hole)

12 b

タクトホール second contact hole (contact hole)

13

photoresist film (etching mask)

2 a

element separation oxidized film (protective insulating film)

2 b

element separation oxidized film (protective insulating film)

4

metallization layer

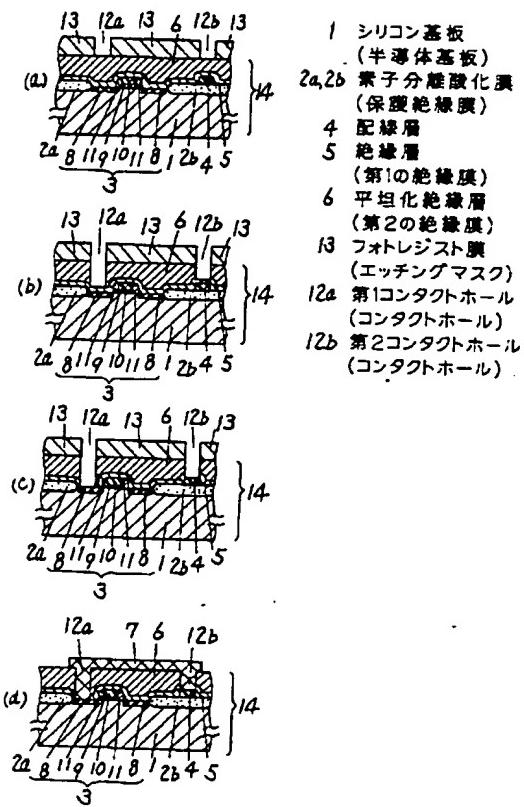
5

insulating layer (first insulating film)

6

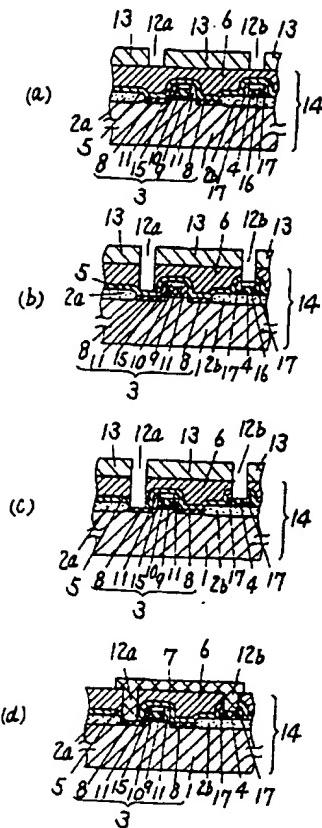
planarization insulating layer (second insulating film)

[Figure 1]



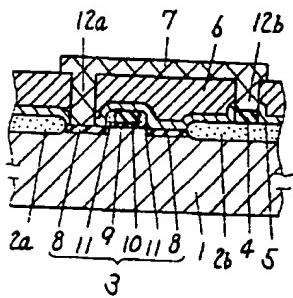
【図2】

[Figure 2]



【図3】

[Figure 3]



特開平6-69166

(43)公開日 平成6年(1994)3月11日

(51) Int.Cl. ^s H 01 L 21/302 21/28 21/90	識別記号 F 9277-4M L 9055-4M A 7514-4M	序内整理番号 F I	技術表示箇所
--	---	---------------	--------

審査請求 未請求 請求項の数2(全6頁)

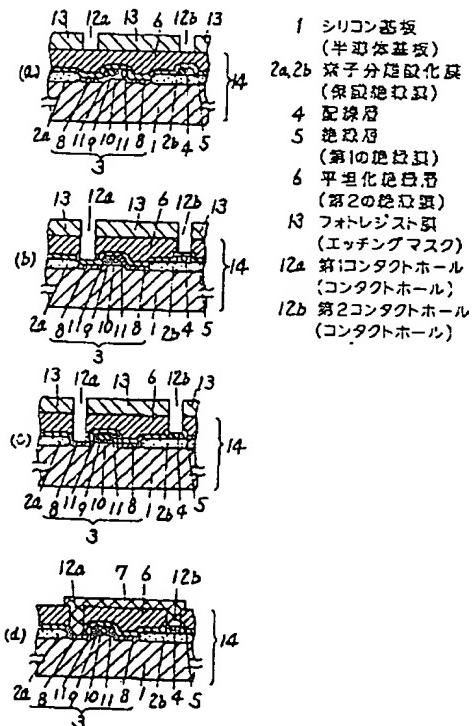
(21)出願番号 特願平4-216748	(71)出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日 平成4年(1992)8月14日	(72)発明者 浅井 明 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(72)発明者 玉置 徳彦 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 コンタクトホールの形成方法

(57)【要約】

【目的】 深さの異なる複数のコンタクトホールを工程数を増加させることなく形成する。

【構成】 シリコン基板1および配線層4上に、一酸化炭素が添加されたエッティングガスを用いるエッティングに対してエッティング速度の比が5以上となる2種類以上の絶縁層5および平坦化絶縁層6をエッティング速度の小さい絶縁層5をシリコン基板1および配線層4側に形成し、一酸化炭素が添加されたエッティングガスを用いた第1のエッティングによって、第1コンタクトホール12aにおいて絶縁層5が露出するまでエッティングを行う。その後、拡散層8および配線層4に対する絶縁層5のエッティング速度の比が高い第2のエッティング条件によって、第1コンタクトホール12aおよび第2コンタクトホール12bにおいて拡散層8および配線層4が露出するまで第2のエッティングを行う。



【特許請求の範囲】

【請求項1】 半導体基板とその半導体基板上に保設絶縁膜を介して形成された配線層とを覆う第1の絶縁膜と前記第1の絶縁膜とは同一エッチング条件でエッチング速度の異なる第2の絶縁膜とを形成する工程と、コンタクトをとるべき配線層または半導体基板上の第2の絶縁膜上の所定の領域を除いてエッチングマスクを形成する工程と、一酸化炭素を含有するエッティングガスを用いて第2の絶縁膜と第1の絶縁膜をエッチングし、配線層または半導体基板に達するコンタクトホールを形成する工程と有するコンタクトホールの形成方法。

【請求項2】 同一のエッティング条件において、第1の絶縁膜のエッティング速度が第2の絶縁膜のエッティング速度より小さい請求項1記載のコンタクトホールの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、配線層または半導体基板に到達するコンタクトホールを絶縁膜に形成するコンタクトホールの形成方法に関する。

【0002】

【従来の技術】 半導体集積回路装置は、半導体基板上に形成されたトランジスタ等の回路素子を電気的に接続するための拡散層または配線層からなる配線を有している。半導体基板上に集積される回路素子の数が増加するに伴い、回路素子の寸法および回路素子間の距離は益々縮小してきている。このような高密度に形成された回路素子を接続するために、多層配線構造を有する半導体装置が開発されている。

【0003】 以下従来のコンタクトホールの形成方法について説明する。図3は従来のコンタクトホールの形成方法を説明する図である。図3に示すようにMOS型半導体装置は、シリコン基板1と、シリコン基板1の表面の所定領域に形成された素子分離酸化膜2aおよび2bと、シリコン基板1の素子分離酸化膜2aおよび2bが形成されていない領域(素子領域)にまたがって形成されたMOSFET3と、素子分離酸化膜2aおよび2b上に形成された配線層4と、MOSFET3と配線層4を覆う絶縁層5と、平坦化絶縁層6と、MOSFET3と配線層4とを互いに接続するための上部配線層7を有している。MOSFET3は、シリコン基板1の素子領域の所定部分に形成された不純物拡散層(ソースまたはドレインとして機能する)8と、素子領域上に形成されたゲート酸化膜9と、ゲート酸化膜9の上に形成されたゲート電極10と、ゲート電極側壁保護膜11を有している。CVD法によって高温形成された酸化珪素(High Temperature Oxide;HTO)からなる絶縁層5は、多層のりん、ほう素または両者を含む酸化珪素(BPSG)からなる平坦化絶縁層6が直接シリコン基板1に接し、シリコン基板1の性質が変化することを防ぐためのものである。MOSFET3と配線

層4とは、絶縁層5および平坦化絶縁層6の所定部分に形成された第1コンタクトホール12aと第2コンタクトホール12bを介して接続されている。絶縁層5と平坦化絶縁層6に第1コンタクトホール12aと第2コンタクトホール12bを形成するには、以下の2通りの方法がある。

【0004】 まず第1の方法について説明する。通常の方法によって素子分離酸化膜2a、2bと、MOSFET3と、素子分離酸化膜2b上に配線層4が形成される。絶縁層5がMOSFET3と配線層4を覆うようにしてシリコン基板1上に堆積される。堆積方法としてはCVD法が用いられる。さらに絶縁層5の上に平坦化絶縁層6がCVD法によって形成され、熱処理によって平坦化される。エッチングマスクとして機能するフォトレジスト膜が平坦化絶縁層6上に形成され、その後絶縁層5と平坦化絶縁層6において第1コンタクトホール12aが形成されるべき領域(第1コンタクトホール領域12aとする)と第2コンタクトホール12bが形成されるべき領域(第2コンタクトホール領域12bとする)上のフォトレジスト膜が通常のフォトリソグラフィ法により除去される。その後、単一のエッティング条件によって絶縁層5と平坦化絶縁層6の第1および第2コンタクトホール領域12a、12bがエッティングされる。

【0005】 次に第2の方法について説明する。HTOからなる絶縁層5がMOSFET3と配線層4を覆うようにしてシリコン基板1上に堆積される。堆積方法としてはCVD法が用いられる。さらに絶縁層5の上にBPSGからなる平坦化絶縁層6がCVD法によって形成され、熱処理によって平坦化される。エッティングマスクとして機能するフォトレジスト膜が平坦化絶縁層6上に形成され、その後絶縁層5と平坦化絶縁層6において第1コンタクトホール領域12a上のフォトレジスト膜が通常のフォトリソグラフィ法により除去される。その後、単一のエッティング条件によって絶縁層5および平坦化絶縁層6の第1コンタクトホール領域12aがエッティングされる。第1コンタクトホール12aが形成された後第1コンタクトホール12aを形成するためのフォトレジスト膜が剥離され、第2コンタクトホール12bを形成するために新しく平坦化絶縁層6上にフォトレジスト膜が形成される。絶縁層5を覆う平坦化絶縁層6において第2コンタクトホール12bが形成されるべき領域(第2コンタクトホール領域)上のフォトレジスト膜が除去され、単一のエッティング条件によって絶縁層5および平坦化絶縁層6を貫通する第2コンタクトホール領域12bがエッティングされる。第1コンタクトホール12aと第2コンタクトホール12bはどちらを先に形成してもよい。

【0006】

【発明が解決しようとする課題】 しかしながら上記の従来の方法では、エッティングの進行により第2コンタクト

ホール領域12bにおいて配線層4が露出した後も第1コンタクトホール領域12aにおいてMOSFET3の拡散層8が露出するまでエッチングが実施される。これは第1コンタクトホール12aの方が第2コンタクトホール12bよりも深いからである。そのため配線層4の露出部分がオーバーエッチング状態になり、配線層4へのコンタクトの電気的特性が変化したり、第2コンタクトホール12bが配線層4を突き抜けて素子分離酸化膜2bやシリコン基板1に達する等の課題を有している。

【0007】また第2の方法は第1コンタクトホール12aと第2コンタクトホール12bを別工程で形成するため、工程数が増加したりマスクずれが生じ易い等の問題を有しており、半導体装置の歩留まりを悪くする。

【0008】本発明の目的は上記従来の課題を解決するもので、深さの異なる複数のコンタクトホール形成に関して、工程数を増加させることなしに第1コンタクトホール領域に露出する配線層またはシリコン基板のオーバーエッチング量および電気的特性の変化を最小限にし、最少のフォトリソグラフィ工程により第1コンタクトホールおよび第2コンタクトホールを形成できるコンタクトホールの形成方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この目的を達成するため*

*に本発明のコンタクトホールの形成方法は、半導体基板およびその上に形成された配線層を被る特定の第1、第2の2層構造の絶縁層に深さの異なるコンタクトホールを形成する工程において、第2の絶縁層を一酸化炭素が添加されたエッチングガスを用いて第1のエッチングを実施し、第1の絶縁層の表面が露出した後第1の絶縁層の下地となる半導体基板または配線層がエッチングされにくいエッチング条件を用いて第2のエッチングを実施する構成を有している。

10 【0010】

【作用】この構成によって、コンタクトを取る半導体基板または配線層がエッチング雰囲気に曝される時間が短いため、コンタクトホールがオーバーエッチングにより半導体基板または配線層を突き抜けることがなくなり、また半導体基板または配線層へのコンタクトの電気的特性の変化を少なくすることができ、良好なコンタクトを得ることができる。

20 【0011】なお本発明者らは、第1のエッチングのエッチングガスとしてCH₃F₂、O₂およびCOを選択し、各種絶縁層に対して(表1)のようなエッチング速度を得た。

【0012】

【表1】

		例1	例2
エッチングガス 流量(sccm)	CH ₃ F ₂	30	30
	O ₂	1.7	2
	CO	30	50
エッチング速度 (nm/min)	BPSG	16.0	12.6
	HTO	2.7	2.1
	Si ₃ N ₄	2.9	2.2

【0013】すなわち、第2の絶縁層をBPSG、第1の絶縁層をHTOまたは空化珪素(Si₃N₄)に選択することによって本発明のコンタクトホールの形成方法に用いるエッチング方法が実現できることを確認した。

【0014】

【実施例】以下本発明の一実施例におけるコンタクトホールの形成方法について図面を参照しながら説明する。

【0015】(実施例1)図1(a)～(d)は本発明の第1の実施例におけるコンタクトホールの形成方法の工程断面図である。図1(a)～(d)において図3に

示す従来例と同一箇所には同一符号を付して説明を省略する。まず図1(a)に示すように、シリコン基板1上に、従来法を用いて形成されたMOSFET3と膜厚 $0.4\mu\text{m}$ の素子分離酸化膜2b上に形成された幅 $0.6\mu\text{m}$ 膜厚 $0.3\mu\text{m}$ の配線層4と、不純物をドープしない条件でCVD法によって成膜された膜厚 200nm の酸化珪素からなる絶縁層5と、絶縁層5の上にCVD法によって形成された膜厚 700nm のほう素とりんをドープした酸化珪素からなり熱処理によって平坦化された平坦化絶縁層6とが形成されており、その上にフォトリソグラフィ法により第1コンタクトホール領域12aおよび第2コンタクトホール領域12bに窓を開けたフォトレジスト膜13が形成される。MOSFET3は、幅 $0.6\mu\text{m}$ 膜厚 $0.02\mu\text{m}$ のゲート絶縁膜9と、膜厚 $0.4\mu\text{m}$ のゲート電極10と、下方の幅 $0.2\mu\text{m}$ のゲート側壁保護膜11と、幅 $1\mu\text{m}$ の拡散層8より構成されている。第1コンタクトホール領域12aにおける平坦化絶縁層6の膜厚は 1000nm であり、第2コンタクトホール領域12bにおける平坦化絶縁層6の膜厚は 500nm である。絶縁層5の膜厚はシリコン基板1に与えるストレスを考慮して 200nm 以下に設定されている。なお以下の説明において、MOSFET3、絶縁層5、配線層4および平坦化絶縁層6が形成されたシリコン基板1をウェハ14と称する。

【0016】次に図1(b)に示すようにフォトレジスト膜13が形成されたウェハ14を3電極方式のRIE装置内に導入し、2種類のエッティング条件によりエッティングを行う。第1のエッティング条件のエッティングガスとしては、CHF₃およびO₂を含有する混合ガスにCOが添加したエッティングガスを用いた。CHF₃およびO₂の流量は、各々 30sccm および 1.7sccm である。本実施例ではCOの流量は 30sccm 、側部電極に印加する電圧の周波数は 13.56MHz 、RFパワーは 250W とした。下部電極に印加する電圧の周波数は 100kHz 、RFパワーは 100W とした。放電により一部がイオン化されたエッティングガスはプラズマ状態となり、RIE装置内に導入されたウェハ14と接触し、ウェハ14上の平坦化絶縁層6の内フォトレジスト膜13に覆われていない部分を高い異方性を持ってエッティングする。第1のエッティングは第2コンタクトホール領域12bにおいて絶縁層5が露出した後も継続して行われ、第1コンタクトホール領域12aにおいて絶縁層5が露出するまで行われた後放電を中断する。

【0017】第1のエッティング条件では平坦化絶縁層6は毎分 150nm エッティングされ、絶縁層5は毎分 30nm エッティングされる。したがって、この時点において第2コンタクトホール領域12bにおいては絶縁層5は 100nm エッティングされるが、絶縁層5のエッティング速度に対する平坦化絶縁層6のエッティング速度の比が5を確保できるため 200nm 厚の絶縁層5の膜中でエッティングを止めることができる。以下の説明において、一般的にAのエッチ

ング速度に対するBのエッティング速度の比をA/Bの選択比と称することとする。その後、第2のエッティング条件のエッティングガスとしてCHF₃およびO₂を含有するエッティングガスを導入する。CHF₃およびO₂の流量は、各々 45sccm および 5sccm である。側部電極に印加されるRFパワーを 200W 、下部電極に印加されるRFパワーを 100W とし、再び側部および下部電極に電力を供給することにより放電を開始した。

【0018】次に図1(c)に示すように、第2のエッティングは第1コンタクトホール領域12aにおいて拡散層8が露出するまで行う。第2のエッティング条件では絶縁層5は毎分 120nm エッティングされ、配線層4および拡散層8は毎分 10nm エッティングされるため、この時点において第2コンタクトホール領域12bにおいては配線層4は 8nm エッティングされる。この場合の実質的な平坦化絶縁層6/配線層4の選択比は、平坦化絶縁層6/絶縁層5の選択比である5と絶縁層5/配線層4の選択比である1/2を積算した6.0となり、配線層4のオーバーエッティング深さのはらつきを最小限に食い止めることができる。

【0019】単一のエッティングにより本実施例と同様の第1コンタクトホール12aおよび第2コンタクトホール12bを形成しようとした場合、平坦化絶縁層6/配線層4の選択比として6.0が必要となる。しかしながら平坦化絶縁層6/配線層4の選択比が6.0となるエッティングは実現困難であり、本実施例では実現容易な2つのエッティングにわけることによりその困難性を回避している。

【0020】次に図1(d)に示すように、スパッタ法によりアルミ(AI)膜を堆積し所定のパターンにエッティングして上部配線層7を形成する。

【0021】こうして作製された深さの異なる複数の第1、第2コンタクトホール12a、12bは、コンタクトホールの底に露出した配線層4およびシリコン基板1へのオーバーエッティング量が少なく、エッティング雰囲気より受けたダメージおよび汚染が少なく、上部配線層7と第1コンタクトホール12aの底に露出したシリコン基板1または第2コンタクトホール12bの底に露出した配線層4との間で良好なコンタクトを得ることができた。

【0022】(実施例2) 図2(a)～(d)は本発明の第2の実施例におけるコンタクトホールの形成方法の工程断面図である。図2(a)～(d)において、図3に示す従来例と同一箇所には同一符号を付して説明を省略する。まず図2(a)に示すように、シリコン基板1の上に、従来法を用いて形成されたMOSFET3と膜厚 $0.4\mu\text{m}$ の素子分離酸化膜2b上に形成された幅 $0.6\mu\text{m}$ 膜厚 $0.3\mu\text{m}$ の配線層4と、不純物をドープしない条件でCVD法によって成膜された膜厚 200nm の酸化珪素からなる絶縁層5と、絶縁層5の上にCVD法によって形成され

た膜厚700nmのほう素とりんをドープした酸化珪素からなり熱処理によって平坦化された平坦化絶縁層6とが形成されており、その上にフォトリソグラフィ法により第1コンタクトホール領域12aおよび第2コンタクトホール領域12bに窓を開けたフォトレジスト膜13が形成される。MOSFET3は、幅0.6μmで膜厚0.02μmのゲート絶縁膜9と、膜厚0.4μmのゲート電極10と、下方の幅0.2μmのゲート電極側壁保護膜11と、膜厚140nmのゲート電極上部保護膜15と、幅1μmの拡散層8より構成されている。配線層4は、膜厚140nmのCVD法によって成膜された酸化珪素からなる配線層上部保護膜16と下方の幅0.2μmの配線層側壁保護膜17によって覆われている。配線層上部保護膜16は、第2のエッティング条件に対して絶縁層5と同じエッティング速度を持つものである。第1コンタクトホール領域12aにおける平坦化絶縁層6の膜厚は1000nmであり、第2コンタクトホール領域12bにおける平坦化絶縁層6の膜厚は300nmである。なお以下の説明において、MOSFET3、絶縁層5、配線層4および平坦化絶縁層6が形成されたシリコン基板1を以下ウェハ14と称する。次にウェハ14は第1のエッティング条件によりウェハ14上の平坦化絶縁層6の内フォトレジスト膜13に覆われていない部分が高い異方性を持ってエッティングされる。

【0023】次に図2(b)に示すように、第1のエッティングは第2コンタクトホール領域12bにおいて絶縁層5が露出した後も継続して行われ、第1コンタクトホール領域12aにおいて絶縁層5が露出するまで行われた後、放電を中断する。第1のエッティングにより第2コンタクトホール領域12bにおいては、絶縁層5は140nmエッティングされる。その後、第2のエッティング条件により再びエッティングを開始する。

【0024】次に図2(c)に示すように、第2のエッティングは第1コンタクトホール領域12aにおいて拡散層8が露出し、かつ第2コンタクトホール領域12bにおいて配線層4が露出するまで行う。第2のエッティングによってエッティングされる膜は、第1コンタクトホール領域12aにおいては膜厚200nmの絶縁層5であり、第2コンタクトホール領域12bにおいては膜厚60nmの絶縁層5と膜厚140nmの配線層上部保護膜16である。絶縁層5と配線層上部保護膜16は同一材料から構成されているため第2のエッティング条件に対して同じエッティング速度となるので、第1コンタクトホール領域12aにおける拡散層8と第2コンタクトホール領域12bにおける配線層4は第2のエッティングによって同時に露出する。この場合の見かけ上の平坦化絶縁層6/配線層4の選択比は無限大となり、配線層4のオーバーエッティング深さのばらつきを最小限に食い止めることができる。

【0025】次に図2(d)に示すように、スパッタ法によりAl膜を堆積し所定のパターンにエッティングして上部配線層7を形成する。

【0026】こうして作製された深さの異なる複数の第1、第2コンタクトホール12a、12bは、コンタクトホールの底に露出した配線層4およびシリコン基板1へのオーバーエッティング量が極めて少なく、エッティング雰囲気より受けるダメージおよび汚染が少なく、上部配線層7とコンタクトホールの底に露出したシリコン基板1または配線層4との間で良好なコンタクトを得ることができた。

【0027】なお本実施例では、エッティング装置として3電極方式のRIE装置を用いたが、2電極方式のRIE装置、ECR-RIE装置、マグネットロンRIE装置、ナローギャップ方式のRIE装置等を用いても同様のエッティングを行うことができる。

【0028】なお本実施例では、第1のエッティング条件のエッティングガスとしてCH₄、O₂およびCOを用いたが、少なくとも一つのC-F結合もつガスとCOを用いても同様のエッティングを行うことができる。

【0029】なお本実施例では、絶縁層5および配線層上部保護膜16としてCVD法によって成膜された酸化珪素を用いたが、熱酸化による酸化珪素、CVD法による窒化珪素等を用いても同様の効果を得ることができる。

【0030】なお本実施例では、配線層上部保護膜16と絶縁層5を同一材料により構成したが、配線層上部保護膜16と絶縁層5を異なる材料から構成してもよい。

【0031】なお本実施例では、配線層上部保護膜16を単一材料により構成したが、2つ以上の材料から構成される2層以上の構造としてもよい。

【0032】なお本実施例では、絶縁層5を単一材料により構成したが、2つ以上の材料から構成される2層以上の構造としてもよい。

【0033】なお本実施例では、絶縁層5と平坦化絶縁層6の2層の絶縁層を用いたが、絶縁層5と平坦化絶縁層6は3層以上の構成としてもよい。3層以上の構成とした場合、エッティング条件を3つ以上用いてもよい。

【0034】なお本実施例では、第1のエッティング条件として平坦化絶縁層6/絶縁層5の選択比が5となるエッティング条件を用いたが、平坦化絶縁層6/絶縁層5の選択比が5以上となる他のエッティング条件でもよい。

【0035】

【発明の効果】以上のように本発明は、深さの異なる複数のコンタクトホールを、コンタクトを取る半導体基板または配線層がエッティング雰囲気に曝される時間が短く、コンタクトホールがオーバーエッティングにより半導体基板または配線層を突き抜けることがなく、半導体基板または配線層がエッティング雰囲気より受けるダメージおよび汚染を少なくすることができます、良好なコンタクトを得ることができる優れたコンタクトホールの形成方法を実現することができる。

【0036】また深さの異なるコンタクトホールを最小

回数のフォトリソグラフィ工程で形成することができるため、半導体集積回路を高歩留まり生産することができ、その実用的効果は極めて大きい。

【図面の簡単な説明】

【図1】(a)～(d)は本発明の第1の実施例におけるコンタクトホールの形成方法の工程断面図

【図2】(a)～(d)は本発明の第2の実施例におけるコンタクトホールの形成方法の工程断面図

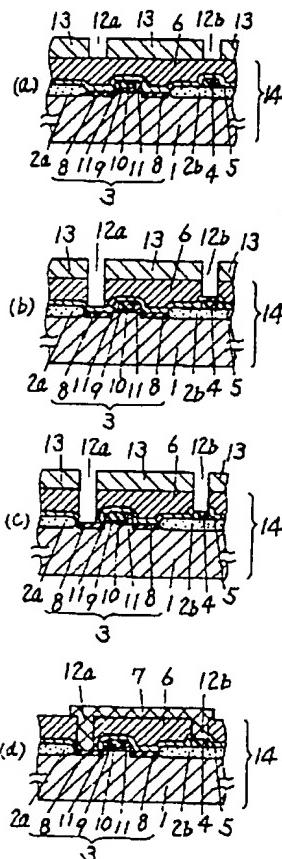
【図3】従来のコンタクトホールの形成方法を説明する図

【符号の説明】

- 1 シリコン基板(半導体基板)
- 2a 素子分離酸化膜(保護絶縁膜)
- 2b 素子分離酸化膜(保護絶縁膜)
- 4 配線層
- 5 絶縁層(第1の絶縁膜)
- 6 平坦化絶縁層(第2の絶縁膜)
- 13 フォトレジスト膜(エッチングマスク)
- 12a 第1コンタクトホール(コンタクトホール)
- 12b 第2コンタクトホール(コンタクトホール)

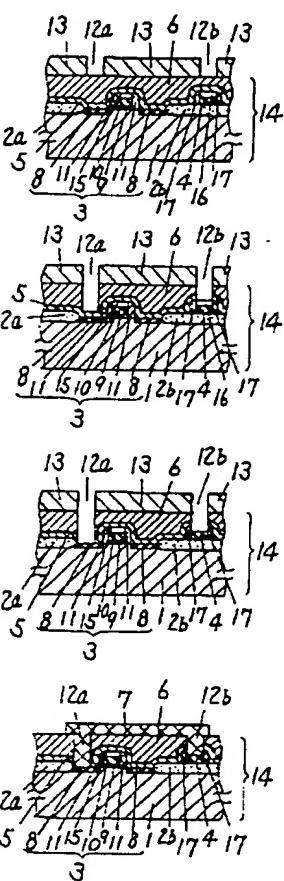
10

【図1】



- (a) Shows the initial state with layers 1 through 14.
- (b) Shows the first contact hole 12a being formed.
- (c) Shows the second contact hole 12b being formed.
- (d) Shows the completed structure with both contact holes 12a and 12b.

【図2】



【図3】

